

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-056370

(43)Date of publication of application : 24.02.1998

(51)Int.Cl. H03K 19/0175

(21)Application number : 08-227795 (71)Applicant : NEC CORP

(22)Date of filing : 09.08.1996 (72)Inventor : OYAMADA MAKOTO
TAKAYAMA SHOJI

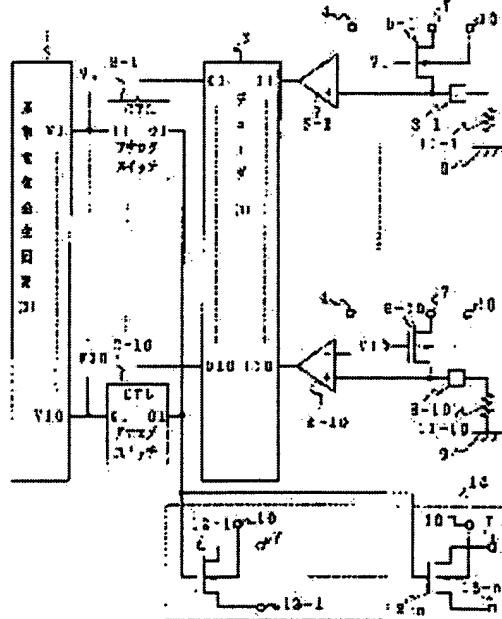
(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress and reduce an increase in the circuit scale of an ON- resistance automatic control circuit for a MOS transistor and to improve the degree of integration by increasing the number of output potentials of a reference potential generating circuit and providing analog switches matching number.

SOLUTION: The potential of a 1st power source terminal 4 is made half as high as the potential of a 2nd power source terminal 7, and reference resistors 11-1 to 11-10 having desired values are connected to external terminals 8-1 to 8-10. Consequently, differential amplifiers 5-1 to 5-10 output the results of comparisons between the ON resistances of P channel MOS

transistor 6-1 to 6-10 and the reference resistances 11-1 to 11-10 as logical signals to a decoder 3. The decoder 3 transmits a logical signal for selecting one optimum potential of the reference potential generating circuit to be transmitted to the resistors to be controlled to the analog switches 2-1 to 2-10. Therefore, the ON resistance automatic control circuit for the MOS transistor can be actualized with a small number of elements and a small number of signals wires.



LEGAL STATUS

[Date of request for examination] 09.08.1996

[Date of sending the examiner's decision of rejection] 30.11.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-56370

(43)公開日 平成10年(1998)2月24日

(51)Int.Cl.⁶
H 03 K 19/0175

識別記号

府内整理番号

F I
H 03 K 19/00

技術表示箇所

1.01Q

審査請求 有 請求項の数4 FD (全14頁)

(21)出願番号 特願平8-227795

(22)出願日 平成8年(1996)8月9日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 小山田 誠

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 高山 正二

東京都港区芝五丁目7番1号 日本電気株式会社内

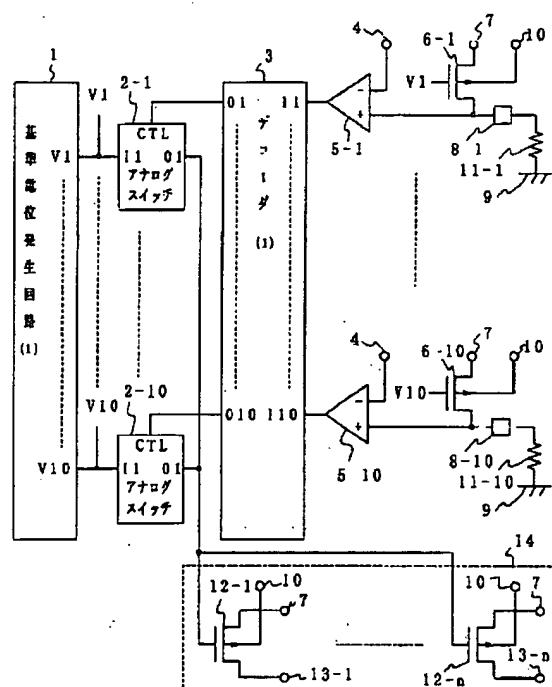
(74)代理人 弁理士 加藤 朝道

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】MOSトランジスタのオン抵抗自動調整回路における回路規模増大を抑止低減し集積度を向上する抵抗自動調整回路を内蔵した半導体集積回路装置の提供。

【解決手段】複数出力端子に各々異なる電位を出力する基準電位発生回路と、基準電位発生回路からの複数出力電位が対応するゲート電極に接続され、ドレイン電極がそれぞれ外部端子に接続されてなる第1MOSトランジスタ群と、第1MOSトランジスタ群のドレイン電極と、比較用の第1電源端子とを入力とする複数差動増幅器と、複数差動増幅器の出力信号を、基準電位発生回路からの複数出力電位から一つ選択する為の信号に変換するデコード手段と、デコード手段の出力信号により基準電位発生回路の複数出力電位から一つ選択するスイッチ手段と、スイッチ手段の出力がゲート電極に接続されてなる第2MOSトランジスタ群と、を備える。



【特許請求の範囲】

【請求項1】複数の出力端子に各々異なる電位を出力する基準電位発生回路と、前記基準電位発生回路からの複数の出力電位がそれぞれに対応するゲート電極に接続され、ドレイン電極がそれぞれ外部端子に接続されてなる第1のMOSトランジスタ群と、前記第1のMOSトランジスタ群のドレイン電極と、比較用の第1の電源端子とを入力とする複数の差動増幅器と、前記複数の差動増幅器の出力信号に基づき、前記基準電位発生回路からの複数の出力電位の中から所望の一つを選択するための信号に変換するデコード手段と、前記デコード手段の出力信号により前記基準電位発生回路の複数の出力電位の中から所望の一つを選択し出力するスイッチ手段と、前記スイッチ手段の出力がゲート電極に接続されてなる第2のMOSトランジスタ群と、を備えたことを特徴とする半導体集積回路装置。

【請求項2】前記第1のMOSトランジスタ群のドレイン電極が接続された前記外部端子が基準抵抗を介して共通電位に接続されてなることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】前記スイッチ手段がアナログスイッチから構成されることを特徴とする請求項1記載の半導体集積回路装置。

【請求項4】複数の出力端子に各々異なる電位を出力する基準電位発生回路と、前記基準電位発生回路からの複数の出力電位がそれぞれに対応するゲート電極に接続され、ドレイン電極が、それぞれ基準抵抗を介して共通電位に接続されてなる第1のMOSトランジスタ群と、

前記第1のMOSトランジスタ群のオン抵抗と、前記基準抵抗との大小比較結果をそれぞれ論理信号として出力する比較手段と、

前記比較手段の比較結果出力信号に基づき、前記基準電位発生回路からの複数の出力電位の中から一つを選択するための信号に変換するデコード手段と、

前記デコード手段の出力信号により前記基準電位発生回路の複数の出力電位の中から一つを選択し、第2のMOSトランジスタ群からなる調整対象の抵抗へ伝達する手段と、

を備えたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路装置に関し、特にMOSトランジスタのオン抵抗調整機能を有する半導体集積回路装置に関する。

【0002】

【従来の技術】近年、半導体集積回路装置の内部回路の

高速化は著しく、これに伴い半導体集積回路装置間のデータ転送速度の高速化が求められている。特に、低消費電力と高集積という特徴を兼ね備えているCMOS半導体集積回路装置間のデータ転送速度を高速化することは非常に有用である。

【0003】CMOS半導体集積回路装置の入力バッファは、その入力端子をMOSトランジスタのゲート端子に接続しているため、入力インピーダンスはほぼ無限大であり、入力端子部において発生する信号の反射のため、データ転送速度の高速化が妨げられる要因となっていた。

【0004】これに対処するため、高速動作を必要とする場合には、一般に信号の受端である入力端子あるいは入出力端子を終端抵抗で終端することにより、CMOS半導体集積回路装置間の伝送線路とインピーダンス整合させ、信号の反射を抑えるという方法がとられる。

【0005】この終端抵抗をCMOS半導体集積回路装置内にMOSトランジスタのオン抵抗を用いて形成する場合、ゲート絶縁膜厚・チャネル長・不純物濃度などの製造バラツキに起因して、オン抵抗値が例えば±50%程度変動するため、このオン抵抗値を調整することが、データ転送速度高速化のために必要不可欠となる。

【0006】このMOSトランジスタのオン抵抗自動調整回路の従来技術として、例えば特開平8-32435号公報の記載(7頁21行~9頁20行、図4及び図5)等が参照される。また、文献(伊勢崎剛志、高橋敏郎、内田万亀夫、高橋貴彦、吉野亮三、山本雅一、北村喝章、「600Mb/s 同時双方向I/O回路を内蔵したCMOSゲートアレイ」、信学技法、ICD95-110、電子情報通信学会、1995年8月発行、第3頁12行~45行、図2、及び図3)等が参照される。

【0007】以下、図面を参照して、従来技術について説明する。

【0008】図13は、従来技術に係るMOSトランジスタのオン抵抗自動調整回路であり、図14は、図13の構成要素である抵抗調整回路73-1~73-4の一つの回路構成を示す図である。図13、図14を参照して、MOSトランジスタのオン抵抗自動調整回路の構成と動作について説明する。

【0009】抵抗調整回路は、図14に示すように、第1の電源端子4、第2の電源端子7、第3の電源端子10、入力端子83~86(I1~I4)、出力端子87(O1)、88(EXT)、差動増幅器89、及び抵抗用PチャネルMOSトランジスタ90~94を備えて構成されている。

【0010】入力端子83~86(I1~I4)の論理信号を変化させ抵抗用PチャネルMOSトランジスタ91~94のオン・オフを選択的に制御することにより、電源端子7と出力端子88(EXT)間の抵抗を調整することができる。

【0011】PチャネルMOSトランジスタ90は、最大抵抗値を設定するものでゲート電極を接地端子9に接続し常時オン状態としている。差動増幅器89は、出力端子88(EXT)と電源端子4との電位を比較し、出力端子88(EXT)の方が高電位であれば論理信号ローレベルを、低電位であればハイレベルを出力端子87(O1)に出力する。

【0012】出力端子88(EXT)と接地端子間に所望の抵抗値を有する基準抵抗を接続し、第1の電源端子4の電位を第2の電源端子7の電位の1/2に設定すると、PチャネルMOSトランジスタ90～94による合成抵抗が所望の抵抗値よりも大きいか小さいかを出力端子87(O1)に論理信号として取り出すことができる。

【0013】すなわち、PチャネルMOSトランジスタ90～94による合成抵抗が基準抵抗の抵抗値よりも大きければ、PチャネルMOSトランジスタ90～94の合成抵抗と基準抵抗の分圧により、出力端子88(EXT)の電位は、第2の電源端子7の電位の1/2よりも低くなり、出力端子87(O1)にハイレベルを出力する。

【0014】一方、PチャネルMOSトランジスタ90～94による合成抵抗が基準抵抗の抵抗値よりも小さければ出力端子88(EXT)の電位は第2の電源端子7の電位の1/2よりも高くなり出力端子87(O1)にローレベルを出力する。この論理出力を調整対象のMOSトランジスタ抵抗のオン・オフ制御に利用したものが図13に示した従来例である。

【0015】図13を参照すると、この従来のMOSトランジスタのオン抵抗自動調整回路では、図14に示した抵抗調整回路を4個用いて構成されている。

【0016】抵抗調整回路73-1～73-4の出力端子EXTは、外部端子74-1～74-4に接続され、外部端子74-1～74-4と接地端子9間には所望の抵抗値を有する基準抵抗75-1～75-4が接続されている。

【0017】抵抗調整回路73-1の入力端子I1は接地端子9に、入力端子I2～I4は第3の電源端子10に、出力端子O1は調整対象抵抗82のPチャネルMOSトランジスタ77-1～77-nのゲート電極と抵抗調整回路73-2～73-4の入力端子I1にそれぞれ接続されている。

【0018】また、抵抗調整回路73-2の入力端子I2は接地端子9に、入力端子I3、I4は第3の電源端子10に、出力端子O1は調整対象抵抗82のPチャネルMOSトランジスタ78-1～78-nのゲート電極と抵抗調整回路73-3、73-4の入力端子I2にそれぞれ接続されている。

【0019】抵抗調整回路73-3の入力端子I3は接地端子9に、入力端子I4は第3の電源端子10に、出

力端子O1は調整対象抵抗82のPチャネルMOSトランジスタ79-1～79-nのゲート電極と抵抗調整回路73-4の入力端子I3にそれぞれ接続されている。

【0020】抵抗調整回路73-4の入力端子I4は接地端子9に、出力端子O1は調整対象抵抗82のPチャネルMOSトランジスタ80-1～80-nのゲート電極にそれぞれ接続されている。

【0021】調整対象抵抗82は、電源端子7と、抵抗端子81-1～81-n間に各々5個のPチャネルMOSトランジスタ76-1～80-nで構成されている。PチャネルMOSトランジスタ76-1～80-nは、図14に示した抵抗調整回路に含まれているPチャネルMOSトランジスタ90～94と同一のサイズに設定されている。

【0022】また、PチャネルMOSトランジスタ76-1～76-nは、図14に示した抵抗調整回路のPチャネルMOSトランジスタ90と同様に、最大抵抗値を設定するべくゲート電極が接地端子9に接続され常時オン状態となっている。

【0023】ここで、所望の抵抗値を、仮に通常の伝送線路インピーダンスとして用いられている50Ωとした場合には、基準抵抗75-1～75-4の抵抗値を50Ωとすれば良い。

【0024】各抵抗調整回路73-1～73-4内の5個のPチャネルMOSトランジスタのサイズは、これらの合成抵抗が50Ωを包含する、例えば25Ω～100Ω程度の範囲の抵抗値がオン・オフの制御により実現できるように決定する。

【0025】このような構成とすることで、製造バラツキなどでPチャネルMOSトランジスタのオン抵抗が変動した場合でも、調整対象抵抗である5個のPチャネルMOSトランジスタの合成抵抗値を自動的に50Ωに近づけることができる。すなわち、抵抗調整回路73-1～73-4における、基準抵抗75-1～75-4と5個のPチャネルMOSトランジスタの合成抵抗値の比較結果を、調整対象抵抗82内のPチャネルMOSトランジスタのオン・オフ制御用信号として利用し、自動的に抵抗を調整しているのである。

【0026】ここでは、PチャネルMOSトランジスタのオン抵抗調整回路を説明したが、NチャネルMOSトランジスタを用いても同様の調整回路が実現できる。

【0027】図15は、従来技術を半導体集積回路間の伝送線路を介した信号授受に適用した例を示す回路構成を示す図である。

【0028】図15を参照して、送信側LSI106は、データ入力端子(内部)95-1～95-nと、出力バッファ96-1～96-nと、データ出力端子(外部)97-1～97-nと、を備えて構成されている。なお、上記従来の自動調整回路の適用例に直接関係しない内部回路は省略されている。

【0029】一方、受信側LSI107は、データ入力端子（外部）99-1～99-nと、抵抗調整信号入力端子100～103と、入力バッファ104-1～104-nと、データ出力端子（内部）105-1～105-nと、を備えて構成されている。なお、上記従来技術の適用例に直接関係しない内部回路は省略されている。

【0030】送信側LSI106と受信側LSI107との間は、伝送線路98-1～98-nで接続されている。伝送線路98-1～98-nの特性インピーダンスは通常50Ωが採用されており、上述の自動調整回路を適用すれば調整対象の抵抗82の抵抗値を自動的に50Ωに設定することができ、インピーダンス整合が容易に行える。このため、データ入力端子99-1～99-nで信号の反射が発生せず高速のデータ伝送が支障無く実現可能となる。

【0031】

【発明が解決しようとする課題】しかしながら、上記した従来技術は、MOSトランジスタのオン抵抗の調整精度を向上させようすると集積度が劣化するという、問題点を有している。

【0032】その理由は、抵抗値の調整を予め配置されている複数のMOSトランジスタのオン・オフ制御によって行うため、調整精度を向上させるには、抵抗用MOSトランジスタ数、抵抗調整回路、抵抗調整用制御信号の配線数を増加させなければならず、回路規模が増大することによる。

【0033】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、MOSトランジスタのオン抵抗自動調整回路における回路規模の増大を抑止低減し、集積度を向上する、抵抗自動調整回路を内蔵した半導体集積回路装置を提供することにある。

【0034】

【課題を解決するための手段】前記目的を達成するため、本発明の半導体集積回路装置は、複数の出力端子に各々異なる電位を出力する基準電位発生回路と、前記基準電位発生回路からの複数の出力電位がそれぞれに対応するゲート電極に接続され、ドレイン電極がそれぞれ外部端子に接続されてなる第1のMOSトランジスタ群と、前記第1のMOSトランジスタ群のドレイン電極と、比較用の第1の電源端子とを入力とする複数の差動増幅器と、前記複数の差動増幅器の出力信号に基づき、前記基準電位発生回路からの複数の出力電位の中から所望の一つを選択するための信号に変換するデコード手段と、前記デコード手段の出力信号により前記基準電位発生回路の複数の出力電位の中から所望の一つを選択し出力するスイッチ手段と、前記スイッチ手段の出力がゲート電極に接続されてなる第2のMOSトランジスタ群と、を備えたことを特徴とする。

【0035】本発明においては、抵抗値の調整を、1個の抵抗用MOSトランジスタのゲート電極に印加する基

準電位発生回路からの電位を変えることで行う。抵抗調整精度を向上させる場合には、半導体集積回路装置内に含まれる一つの基準電位発生回路の出力電位数を増加させかつそれに見合った数のアナログスイッチを設けるだけよい。従って高精度の抵抗自動調整回路を高集積に実現でき半導体集積回路装置の集積度を向上させることができる。

【0036】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0037】

【実施の形態1】図1は、本発明の第1の実施の形態に係る半導体集積回路装置内の抵抗自動調整回路の回路構成を示す図である。

【0038】図1を参照すると、本発明の実施の形態においては、10個の出力端子V1～V10に各々異なる電位を出力する基準電位発生回路（1）1と、基準電位発生回路（1）1からの10種類の出力電位が各々に対応するゲート電極に接続され、各々のドレイン電極が外部端子8-1～8-10に接続された10個のPチャネルMOSトランジスタ6-1～6-10と、PチャネルMOSトランジスタ6-1～6-10のドレイン電極と比較用第1の電源端子4が正転入力端子、反転入力端子に接続された10個の差動増幅器5-1～5-10と、差動増幅器5-1～5-10の出力論理信号を基準電位発生回路（1）1からの複数の出力電位の中から所望の一つを選択するための論理信号を変換するデコーダ3と、デコーダ（1）3の出力論理信号により基準電位発生回路（1）1の複数の出力電位の中から所望の一つの電位を選択し、PチャネルMOSトランジスタ12-1～12-nからなる調整対象の抵抗14へ伝達するアナログスイッチ2-1～2-10と、調整対象の抵抗14に接続される第2の電源端子7と、半導体集積回路装置全体の電源となる第3の電源端子10と、を備えて構成されている。なお、基準電圧発生回路（1）1及びデコーダ（1）3において、「（1）」は第1の実施の形態であることを明記したものである。

【0039】基準抵抗11-1～11-10は、実現しようとしている所望の抵抗値を持った抵抗素子で、半導体集積回路装置の外部に配置され、外部端子8-1～8-10と接地端子9間に接続されている。

【0040】PチャネルMOSトランジスタ12-1～12-nと、PチャネルMOSトランジスタ6-1～6-10とは、各々同一トランジスタサイズで構成されている。

【0041】次に、本発明の実施の形態の動作について図1を参照して詳細に説明する。

【0042】第1の電源端子4の電位を、第2の電源端子7の電位の1/2に設定し、外部端子8-1～8-10に、所望の抵抗値を有する基準抵抗11-1～11-

10を接続すると、差動増幅器5-1～5-10は、PチャネルMOSトランジスタ6-1～6-10のオン抵抗と、基準抵抗11-1～11-10と、の大小比較結果を論理信号としてデコーダ(1)3に出力する。

【0043】デコーダ(1)3は、この論理信号を、基準抵抗11-1～11-10に近いオン抵抗を示すPチャネルMOSトランジスタ6-1～6-10のゲート電極電位を基準電位発生回路(1)1の出力端子V1～V10の中から選択する論理信号に変換する。

【0044】すなわち、デコーダ(1)3は、調製対象の抵抗14に伝達すべき基準電位発生回路(1)の最適電位を一つ選択するための論理信号をアナログスイッチ2-1～2-10に伝達する。

【0045】PチャネルMOSトランジスタ12-1～12-nと、PチャネルMOSトランジスタ6-1～6-10とは、各々同一トランジスタサイズに設定されているため、調整対象の抵抗14は、PチャネルMOSトランジスタ6-1～6-10が基準抵抗に近いオン抵抗を示す電位を供給することにより、自動的に基準抵抗に近い値になる。

【0046】こうして調整対象の抵抗14の抵抗値を、外部端子8-1～8-10に接続された基準抵抗11-1～11-10の抵抗値に調整可能としている。

【0047】

【実施例】上記した本発明の実施の形態を更に詳細に説明すべく、本発明の実施例について図面を参照して説明する。以下では、本発明の実施例として、上記実施の形態の説明で参照した図1の抵抗自動調整回路の個々の構成要素となる回路の具体的な構成例を図2～図6を参照して説明する。

【0048】図2は、図1に示した基準電位発生回路(1)1の回路構成を示す図である。図2を参照して、基準電位発生回路(1)1は、第3の電源端子10と接地端子9間に10個の抵抗15-1～15-10が直列に接続されている。各抵抗15-1～15-10の接続部には、基準電位発生回路(1)の出力端子(V1～V10)16-1～16-10が設けられている。

【0049】抵抗15-1～15-10は同一の抵抗値を有している。従って出力端子V1～V10には第3の電源端子10の電位を10分割した10種類の電位が出力されることになる。

【0050】図3は、図1のアナログスイッチ2-1～2-10の回路構成を示す図である。図3を参照して、アナログスイッチは、PチャネルMOSトランジスタ21と、NチャネルMOSトランジスタ22が入力端子17と出力端子19との間に接続され、そのオン/オフは制御入力端子18の値とインバータ20により決定される。制御入力端子18がハイレベルならば、PチャネルMOSトランジスタ21とNチャネルMOSトランジスタ22は共にオン状態とされ入力端子17と出力端子1

9間に導通状態となり、一方、制御入力端子18がローレベルの場合は、入力端子17と出力端子19間に非導通状態となる。

【0051】図4は、図1のデコーダ(1)3の回路構成を示す図である。図4を参照して、デコーダ(1)3は、デコーダ入力端子23-1～23-10と、デコーダ出力端子24-1～24-10、2入力NAND25、2入力EXCLUSIVE-OR26-1～26-8、及び2入力AND27を備えて構成されている。図5に、このデコーダ回路の動作を示す真理値表を示す。

【0052】図6は、図1の差動増幅器5-1～5-10の回路構成を示す図である。図6を参照して、差動増幅器は、第3の電源端子10、接地端子9、入力端子28、29、出力端子30、PチャネルMOSトランジスタ31～33、NチャネルMOSトランジスタ34、35から構成されている。すなわち、ソースが共通接続されて定電流源として作用するPチャネルMOSトランジスタ31に接続された差動対PチャネルMOSトランジスタ32、33と、この差動対トランジスタの能動負荷を構成するカレントミラー構成のNチャネルMOSトランジスタ34、35とを備えて構成され、トランジスタ33のドレインから出力が取り出されている。

【0053】以上、本実施例の抵抗自動調整回路は、図2～図6に示した回路構成の各構成要素を、図1に示すように接続することにより構成されている。

【0054】図1～図6において第3の電源端子10と接地端子9間の電位差は3V、第2の電源端子7と接地端子9間の電位差は1.2V、第1の電源端子4との電位差は0.6V、基準抵抗11-1～11-10の抵抗値は50Ω、PチャネルMOSトランジスタ6-1～6-10、12-1～12-nのチャネル長とチャネル幅は製造条件が中心的条件であった場合にPチャネルMOSトランジスタ6-5のオン抵抗が50Ωになるように設定している。

【0055】次に、本実施例の動作について図1～図6を参照して説明する。

【0056】第3の電源端子10の電位は3Vであるから、基準電位発生回路(1)1の出力端子V1～V10の出力電位は2.7V～0Vになる。ここで、製造条件が中心的条件であったとすると、出力電位V5の電位1.7Vが印加されるPチャネルMOSトランジスタ6-5が50Ωの抵抗値を示す。

【0057】PチャネルMOSトランジスタ6-1～6-4のオン抵抗は、50Ωよりも大きな値となり、PチャネルMOSトランジスタ6-6～6-10のオン抵抗は、50Ωよりも小さな値となる。

【0058】この状態では、差動増幅器5-1～5-5の出力はハイレベル、差動増幅器5-6～5-10の出力はローレベルになる。

【0059】このような差動増幅器の出力信号を伝達さ

れたデコーダ(1)3は、図5に示した真理値表から分かるように、出力端子O5のみをハイレベルとする。このため、アナログスイッチ2-5のみが導通状態となり、調整対象の抵抗14には、基準電位発生回路(1)1の出力電位V5が選択されて供給される。

【0060】出力電位V5の電位1.7Vが調整対象の抵抗14に供給されると、PチャネルMOSトランジスタ12-1～12-nはPチャネルMOSトランジスタ6-5と同一のバイアス状態となり、オン抵抗は50Ωとなる。

【0061】以上のようにして各電源端子に電位を供給し、基準抵抗を外部に接続するだけで自動的に調整された基準抵抗と同抵抗値を示すMOSトランジスタ内部抵抗が得られる。

【0062】図7は、本発明の別の実施例として、本発明に係る自動調整回路を半導体集積回路間の伝送線路を介した信号授受に適用した場合の回路構成を示す図である。

【0063】図7を参照して、送信側LSI44はデータ入力端子(内部)36-1～36-nと、出力バッファ37-1～37-nと、データ出力端子(外部)38-1～38-nと、を備えて構成されており、本発明の主題に直接関係しない内部回路は省略されている。

【0064】一方、受信側LSI45は、データ入力端子(外部)40-1～40-nと、抵抗調整信号入力端子41と、入力バッファ42-1～42-nと、データ出力端子(内部)43-1～43-nと、を備えて構成されており、本発明の主題に直接関係しない内部回路は省略されている。

【0065】送信側LSI44と受信側LSI45間は伝送線路39-1～39-nで接続されている。伝送線路39-1～39-nの特性インピーダンスは通常50Ωが採用されており、上述の実施例の自動調整回路を適用したことにより、調整対象の抵抗14の抵抗値を自動的に50Ωに設定することができ、インピーダンス整合が容易に行える。このため、データ入力端子40-1～40-nで信号の反射が発生せず高速のデータ伝送が支障無く実現可能となる。

【0066】図7を参照すると、この実施例において、注目すべき点は、調整対象の抵抗14用PチャネルMOSトランジスタが、各データ入力端子(外部)40-1～40-n毎にわずか1個で実現できる点である。また、抵抗調整用信号入力端子41も1個で実現できており、従来技術に比べ、特段の高集積化を実現できるという利点を有している。そして、抵抗調整精度を更に向上させる場合、従来技術では各データ入力端子毎のMOSトランジスタ数を増やさなければならないため、本発明の高集積化効果は更に大きくなる。

【0067】

【実施の形態2】次に、本発明の第2の実施の形態につ

いて図面を参照して説明する。

【0068】図8は、本発明の第2の実施の形態に係る半導体集積回路装置内の抵抗自動調整回路の回路構成を示す図である。図8を参照すると、本発明の第2の実施の形態においては、5個の出力端子V1～V5に各々異なる電位を出力する基準電位発生回路(2)46と、基準電位発生回路(2)46からの5種類の出力電位が各々に対応するゲート電極に接続されかつ各々のドレイン電極が外部端子52-1～52-5に接続された5個のNチャネルMOSトランジスタ51-1～51-5と、NチャネルMOSトランジスタ52-1～52-5のドレイン電極と比較用第1の電源端子4が各々入力に接続された5個の差動増幅器50-1～50-5と、差動増幅器50-1～50-5の出力論理信号を基準電位発生回路(2)46からの複数の出力電位の中から所望の一つを選択するための論理信号に変換するデコーダ(2)49と、デコーダ(2)49の出力論理信号により基準電位発生回路(2)46の複数の出力電位の中から所望の一つの電位を選択しNチャネルMOSトランジスタ54-1～54-nからなる調整対象の抵抗14へ伝達するアナログスイッチ48-1～48-5と、抵抗端子55-1～55-nと、を備えて構成されている。なお、基準電圧発生回路(2)46及びデコーダ(2)49の「(2)」は、第2の実施の形態であることを表している。

【0069】基準抵抗53-1～53-5は、実現しようとしている所望の抵抗値を持った抵抗素子で半導体集積回路装置の外部に配置され、外部端子52-1～52-5と第2の電源端子7間に接続されている。

【0070】NチャネルMOSトランジスタ54-1～54-nと、NチャネルMOSトランジスタ51-1～51-5とは、各々同一トランジスタサイズで構成されている。

【0071】この実施の形態は、前記実施の形態の調整対象抵抗がPチャネルMOSトランジスタを使用した例であるのに対し、NチャネルMOSトランジスタで調整対象抵抗を構成したものである。

【0072】次に、本発明の第2の実施の形態の動作について図8を参照して詳細に説明する。

【0073】第1の電源端子4の電位を第2の電源端子7の電位の1/2に設定し、外部端子52-1～52-5に所望の抵抗値を有する基準抵抗53-1～53-5を接続すると、差動増幅器50-1～50-5はNチャネルMOSトランジスタ51-1～51-5のオン抵抗と基準抵抗53-1～53-5との大小比較結果を論理信号としてデコーダ(2)49に出力する。

【0074】デコーダ(2)49は、この論理信号を基準抵抗52-1～52-5に近いオン抵抗を示すNチャネルMOSトランジスタ51-1～51-5のゲート電極電位を基準電位発生回路(2)46の出力端子V1～

V5の中から選択する論理信号に変換する。

【0075】すなわち、デコーダ(2)49は調整対象の抵抗56に伝達すべき基準電位発生回路(2)46の最適電位を一つ選択するための論理信号をアナログスイッチ48-1～48-5に伝達する。

【0076】NチャネルMOSトランジスタ54-1～54-nと、NチャネルMOSトランジスタ51-1～51-5とは、各々同一トランジスタサイズに設定されているため、調整対象の抵抗56はNチャネルMOSトランジスタ51-1～51-5が基準抵抗に近いオン抵抗を示す電位を供給されることで自動的に基準抵抗に近い値になる。このようにして、この実施の形態においても、調整対象の抵抗56の抵抗値を、外部端子52-1～52-5に接続された基準抵抗53-1～53-5の抵抗値に調整できる。

【0077】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0078】本発明の実施例として、図8を参照して説明した上記第2の実施の形態の抵抗自動調整回路の個々の構成要素となる回路の具体的な構成例を図9～図12を参照して説明する。なお、アナログスイッチ48-1～48-5と差動増幅器50-1～50-5はそれぞれ図3、図6と同一の構成とされることから、その説明は省略する。

【0079】図9は、図8の基準電位発生回路(2)46の回路構成を示す図である。第3の電源端子10と、接地端子9と、の間に、11個の抵抗57-1～57-5と抵抗57-6～57-11が直列に接続されている。各抵抗57-1～57-11の接続部の電位はセレクタ58-1～58-5を介して基準電位発生回路(2)出力端子(V1～V5)60-1～60-5に出力される。抵抗57-1～57-11は同一の抵抗値を有している。

【0080】このため、出力端子V1～V5には第3の電源端子10の電位を5分割した5種類の電位か、6分割した5種類の電位のいずれかが出力されることになる。

【0081】図9に示したセレクタ58-1～58-5は、図10に示すような回路構成とされており、アナログスイッチ66、67は、図3に示したCMOS型構成とされている。セレクタ入力端子(S)63の論理信号がハイレベルの時はセレクタ入力端子(I2)62とセレクタ出力端子(O1)64が導通し、セレクタ入力端子(S)63の論理信号がローレベルの時はセレクタ入力端子(I1)61とセレクタ出力端子(O1)64が導通する。

【0082】このようなセレクタ58-1～58-5の動作によって、図9に示した基準電位発生回路は、基準電位発生回路(2)入力端子(CTL)の論理信号がハ

イレベルの時には、出力端子V1～V5に、第3の電源端子10の電位を6分割した内の5種類の電位を出力し、基準電位発生回路(2)入力端子(CTL)の論理信号がローレベルの時には、出力端子V1～V5に第3の電源端子10の電位を5分割した5種類の電位を出力する。

【0083】図11は、図8のデコーダ(2)49の回路構成を示す図である。図11を参照して、デコーダ49は、デコーダ入力端子68-1～68-5と、デコーダ出力端子69-1～69-5、2入力NAND70、2入力EXCLUSIVE-OR(排他的論理和)71-1～71-3、2入力AND72で構成されている。図12に、このデコーダ回路の動作を示す真理値表を示す。

【0084】本実施例の抵抗自動調整回路は、図9～図11および図3、図6の構成の回路を、図8に示すような接続構成とすることで、構成されている。

【0085】次に、本実施例の動作について図9から12を用いて説明する。

【0086】基本的な動作は、図1の抵抗自動調整回路と同様である。本実施例の動作が相違する点は、MOSトランジスタがPチャネルからNチャネルに変わっている点と、基準電位発生回路(2)46の回路構成が異なっており、基準電位制御端子47で抵抗値の調整を微妙に変えることができる点である。

【0087】このように、NチャネルMOSトランジスタを用いても実現可能であり、基準電位発生回路にはこのほかにも各種の回路が考えられる。

【0088】ここでは、基準電位発生回路を半導体集積回路の電源端子の電位を分割することで構成しているが別端子として外部の電位可変な電源に接続すれば更に高精度な調整も可能であるという効果がある。

【0089】

【発明の効果】以上説明したように、本発明によれば、抵抗自動調整回路を内蔵した半導体集積回路装置の集積度を向上させることのできるという効果を奏する。

【0090】その理由は、本発明においては、MOSトランジスタのオン抵抗自動調整回路を少ない素子数及び少ない信号配線数で実現できるからである。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の回路構成を示す図である。

【図2】本発明の一実施例における基準電位発生回路の回路構成を示す図である。

【図3】本発明の一実施例におけるアナログスイッチの回路構成を示す図である。

【図4】本発明の一実施例におけるデコーダの回路構成を示す図である。

【図5】図4のデコーダの真理値表である。

【図6】本発明の実施例における差動増幅器の回路図で

ある。

【図7】本発明の実施例を適用した回路構成を示す図である。

【図8】本発明の第2の実施の形態の回路構成を示す図である。

【図9】本発明の第2の実施例における基準電位発生回路の回路構成を示す図である。

【図10】本発明の第2の実施例におけるセレクタの回路構成を示す図である。

【図11】本発明の第2の実施例におけるデコーダの回路構成を示す図である。

【図12】図11のデコーダの真理値表である。

【図13】従来技術による抵抗自動調整回路の回路構成を示す図である。

【図14】図13内の抵抗調整回路の回路構成を示す図である。

【図15】従来技術の抵抗自動調整回路を適用した回路構成を示す図である。

【符号の説明】

- 1 基準電位発生回路 (1)
- 2-1~2-10 アナログスイッチ
- 3 デコーダ (1)
- 4 第1の電源端子
- 5-1~5-10 差動増幅器
- 6-1~6-10、12-1~12-n、PチャネルMOSトランジスタ
- 7 第2の電源端子
- 8-1~8-10 外部端子
- 9 接地端子
- 10 第3の電源端子
- 11-1~11-10 基準抵抗
- 13-1~13-n 抵抗端子
- 14 調整対象の抵抗
- 15-1~15-10 抵抗
- 16-1~16-10 基準電位発生回路 (1) 出力端子 (V1~V10)
- 17 アナログスイッチ入力端子 (I1)
- 18 アナログスイッチ入力端子 (CTL)
- 19 アナログスイッチ出力端子 (O1)
- 20 インバータ
- 21、31~33 PチャネルMOSトランジスタ
- 22、34、35 NチャネルMOSトランジスタ
- 23-1~23-10 デコーダ入力端子 (I1~I10)
- 24-1~24-10 デコーダ出力端子 (O1~O10)
- 25 2入力NAND
- 26-1~26-8 2入力EXCLUSIVE-OR
- 27 2入力AND
- 28 差動増幅器入力端子 (+)

29 差動増幅器入力端子 (-)

36-1-1~36-n データ入力端子 (内部)

37-1~37-n 出力バッファ

38-1~38-n データ出力端子 (外部)

39-1~39-n 伝送線路

40-1~40-n データ入力端子 (外部)

41 抵抗調整用入力端子

42-1~42-n 入力バッファ

43-1~43-n データ出力端子 (内部)

44 送信側LSI

45 受信側LSI

46 基準電位発生回路 (2)

47 基準電位制御端子

48-1~48-5 アナログスイッチ

49 デコーダ (2)

50-1~50-5 差動増幅器

51-1~51-5、54-1~54-n NチャネルMOSトランジスタ

52-1~52-5 外部端子

53-1~53-5 基準抵抗

55-1~55-n 抵抗端子

56 調整対象の抵抗

57-1~57-11 抵抗

58-1~58-5 セレクタ

59 基準電位発生回路 (2) 入力端子 (CTL)

60-1~60-5 基準電位発生回路 (2) 出力端子 (1~V5)

61 セレクタ入力端子 (I1)

62 セレクタ入力端子 (I2)

63 セレクタ入力端子 (S)

64 セレクタ出力端子 (O1)

65 インバータ

66、67 アナログスイッチ

68-1~68-5 デコーダ入力端子 (I1~I5)

69-1~69-5 デコーダ出力端子 (O1~O5)

70 2入力NAND

71-1~71-3 2入力EXCLUSIVE-OR

72 2入力AND

73-1~73-4 抵抗調整回路

74-1~74-4 外部端子

75-1~75-4 基準抵抗

76-1~76-n、77-1~77-n、78-1~78-n、79-1~79-n、80-1~80-n PチャネルMOSトランジスタ

81-1~81-n 抵抗端子

82 調整対象の抵抗

83 抵抗調整回路入力端子 (I1)

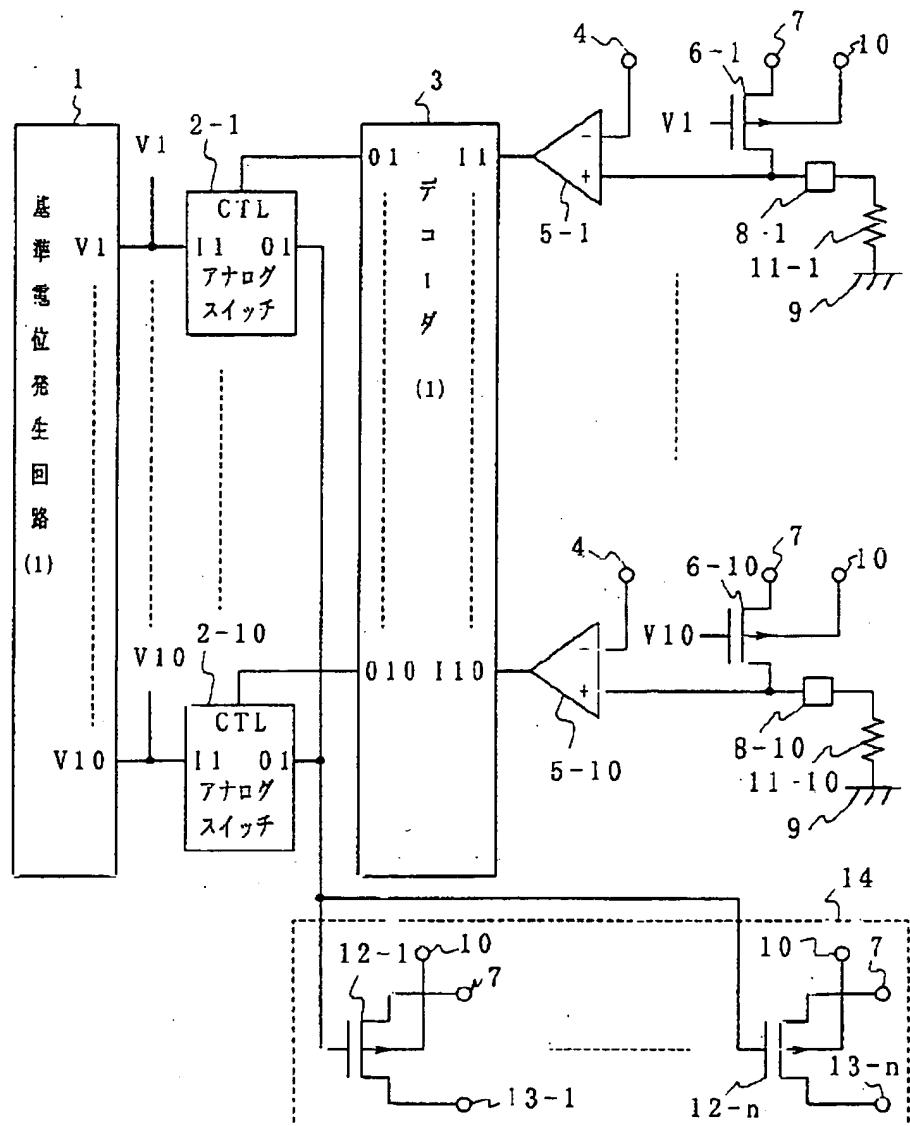
84 抵抗調整回路入力端子 (I2)

85 抵抗調整回路入力端子 (I3)

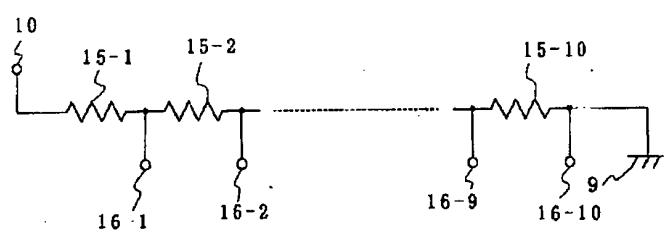
86 抵抗調整回路入力端子 (I4)

87 抵抗調整回路出力端子 (O1)	100 第1の抵抗調整信号入力端子
88 抵抗調整回路出力端子 (EXT)	101 第2の抵抗調整信号入力端子
89 差動増幅器	102 第3の抵抗調整信号入力端子
90~94 PチャネルMOSトランジスタ	103 第4の抵抗調整信号入力端子
95-1~95-n データ入力端子 (内部)	104-1~104-n 入力バッファ
96-1~96-n 出力バッファ	105-1~105-n データ出力端子 (内部)
97-1~97-n データ出力端子 (外部)	106 送信側LSI
98-1~98-n 伝送線路	107 受信側LSI
99-1~99-n データ入力端子 (外部)	

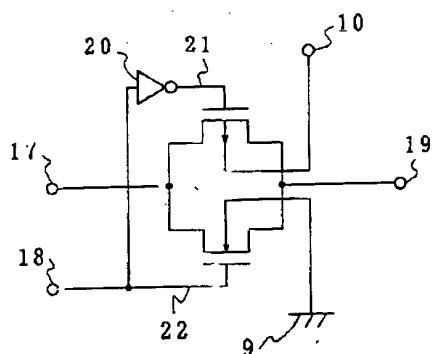
【図1】



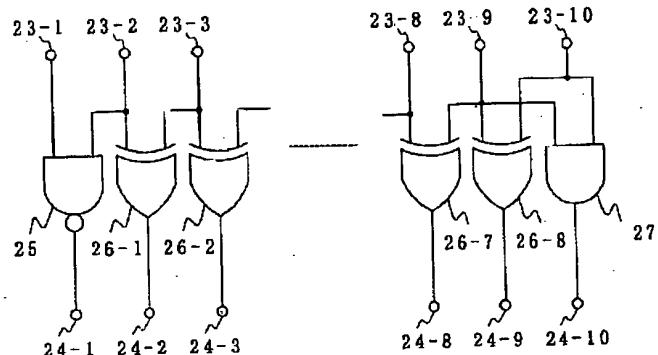
【図2】



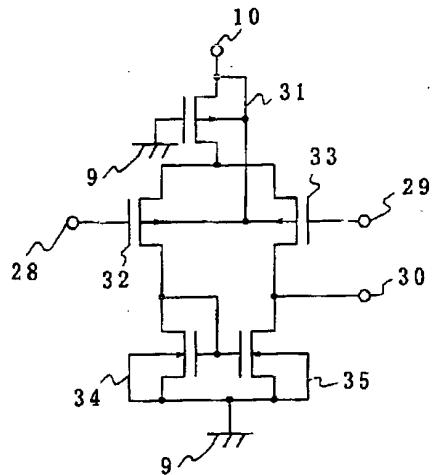
【図3】



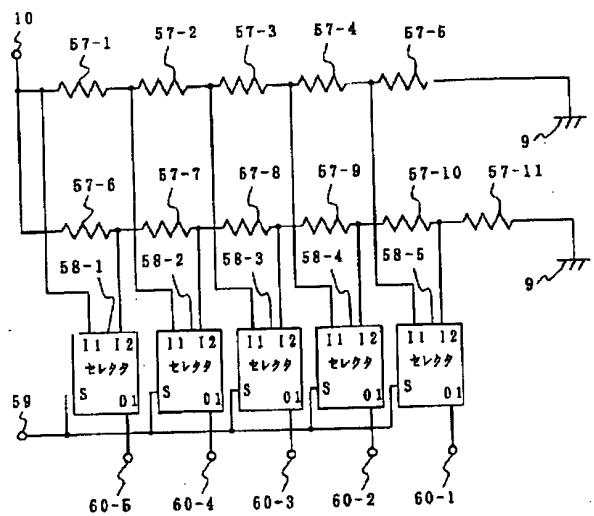
【図4】



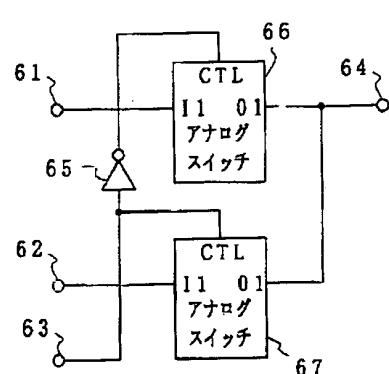
【図6】



【図9】



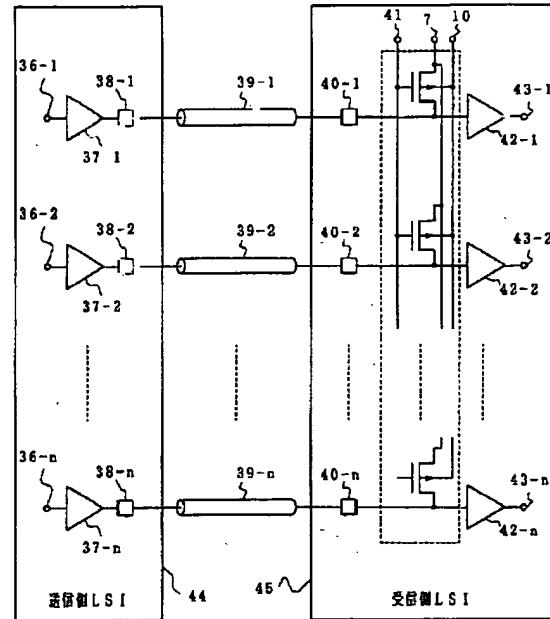
【図10】



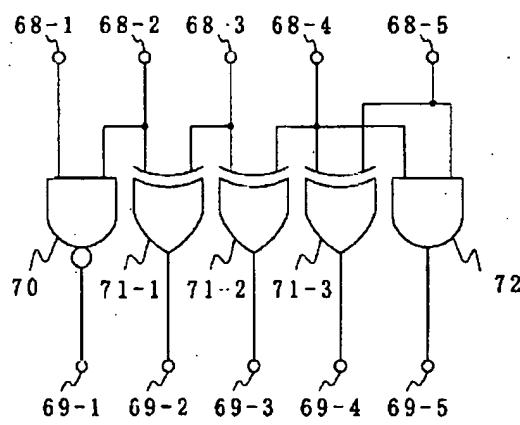
【図5】

11	0	1	1	1	1	1	1	1	1	1	1	1
12	0	0	1	1	1	1	1	1	1	1	1	1
13	0	0	0	1	1	1	1	1	1	1	1	1
14	0	0	0	0	1	1	1	1	1	1	1	1
15	0	0	0	0	0	1	1	1	1	1	1	1
16	0	0	0	0	0	0	1	1	1	1	1	1
17	0	0	0	0	0	0	0	1	1	1	1	1
18	0	0	0	0	0	0	0	0	1	1	1	1
19	0	0	0	0	0	0	0	0	0	1	1	1
110	0	0	0	0	0	0	0	0	0	0	1	1
01	1	1	0	0	0	0	0	0	0	0	0	0
02	0	0	1	0	0	0	0	0	0	0	0	0
03	0	0	0	1	0	0	0	0	0	0	0	0
04	0	0	0	0	1	0	0	0	0	0	0	0
05	0	0	0	0	0	1	0	0	0	0	0	0
06	0	0	0	0	0	0	1	0	0	0	0	0
07	0	0	0	0	0	0	0	1	0	0	0	0
08	0	0	0	0	0	0	0	0	1	0	0	0
09	0	0	0	0	0	0	0	0	0	1	0	0
010	0	0	0	0	0	0	0	0	0	0	0	1

【図7】



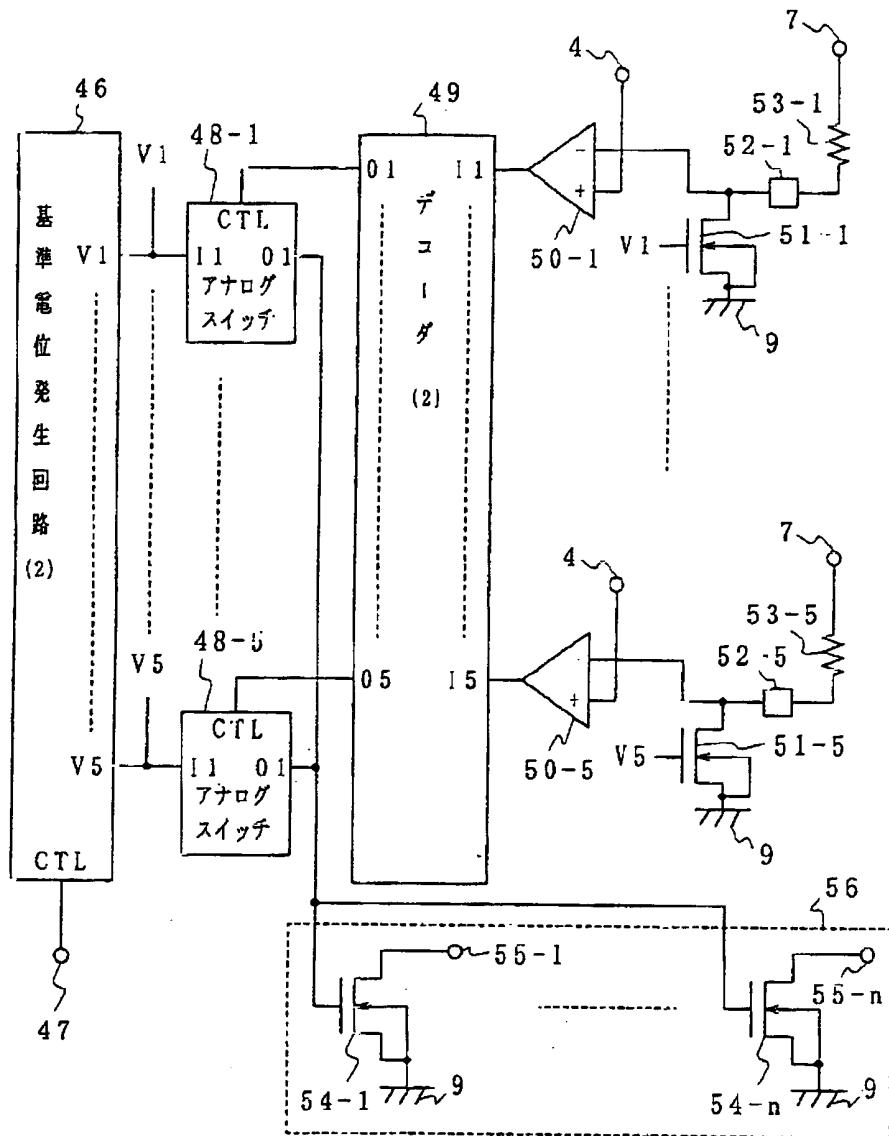
【図11】



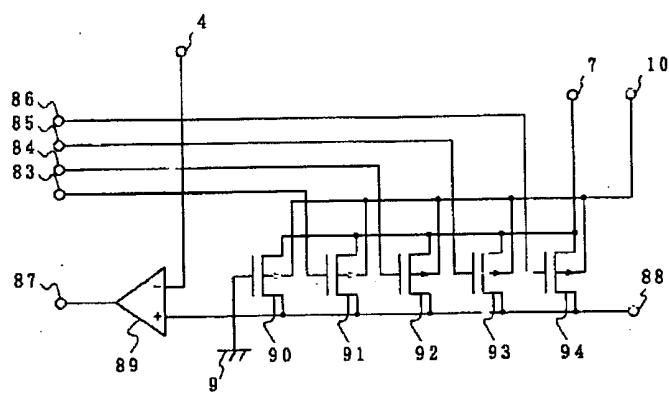
【図12】

I1	0	1	1	1	1	1
I2	0	0	1	1	1	1
I3	0	0	0	1	1	1
I4	0	0	0	0	1	1
I5	0	0	0	0	0	1
01	1	1	0	0	0	0
02	0	0	1	0	0	0
03	0	0	0	1	0	0
04	0	0	0	0	1	0
05	0	0	0	0	0	1

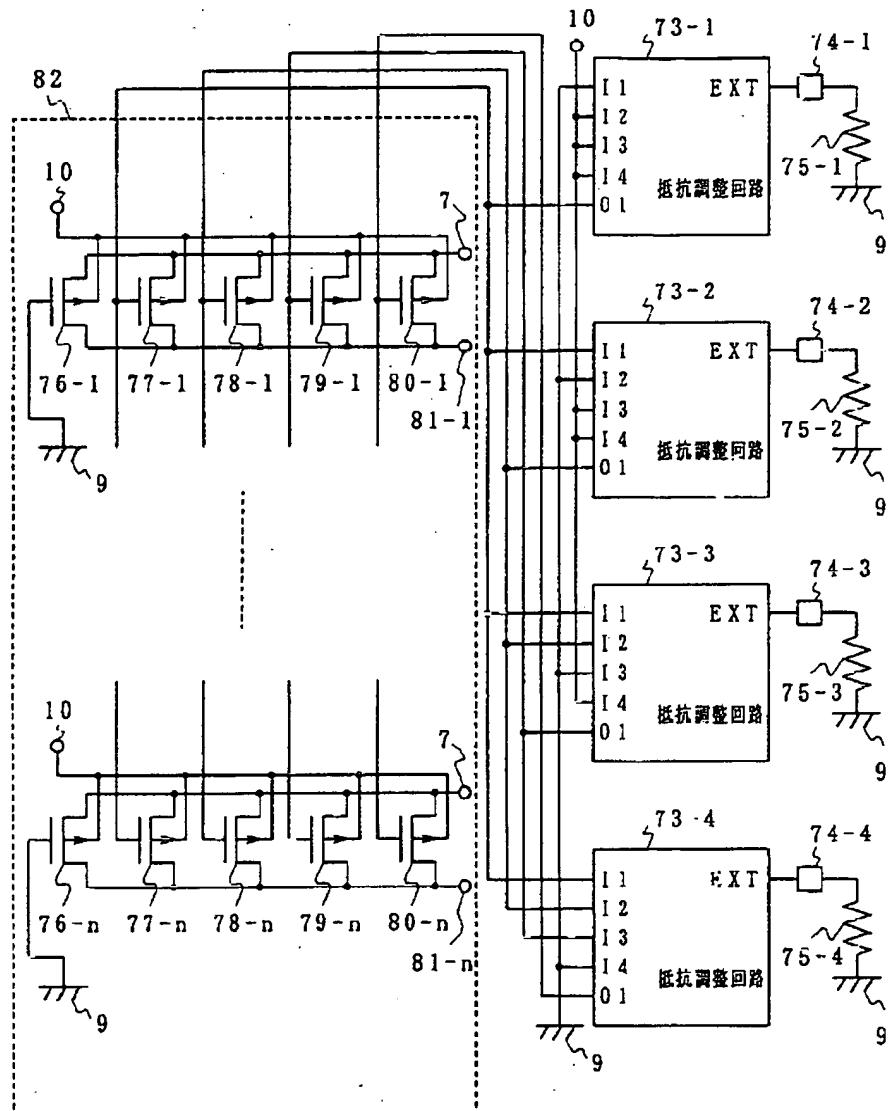
【図8】



【図14】



【図13】



【図15】

